

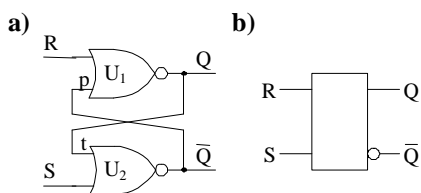
1.1. Przerzutniki¹

Przerzutnik to najprostszy (elementarny) cyfrowy układ sekwencyjny, który w zależności od sekwencji zmian sygnałów wejściowych przyjmować może i utrzymywać na wyjściu Q jeden z dwóch stanów logicznych (0 lub 1), zapamiętując elementarną porcję (1 bit) informacji.

Istnieje kilka różnych typów przerzutników, określanych jako przerzutniki RS, JK, D i T. Ponadto przerzutniki dzieli się na **asynchroniczne**, w których zmiana stanu następuje bezpośrednio po określonej sekwencji zmian sygnałów wejściowych oraz **synchroniczne**, w których zmiana stanu następuje zależnie od stanu wejść po doprowadzeniu dodatkowego **sygnału synchronizującego**, zwanego też **sygnałem taktującym** lub **zegarowym**.

1.1.1. Asynchroniczne przerzutniki RS

Najprostszym przerzutnikiem jest asynchroniczny przerzutnik RS (ang. *Reset - Set*). Schemat budowy takiego przerzutnika z dwóch dwuwejściowych bramek NOR, przedstawiono na Rys. 1.1.1.



Rys. 1.1.1. Przerzutnik RS z dwóch bramek NOR a) schemat; b) symbol.

Jedno z wejść każdej bramki połączone jest z wyjściem drugiej bramki. Pozostałe wejścia bramek stanowią wejścia przerzutnika, oznaczone symbolami **S** i **R**. Wyjścia bramek są wyjściami przerzutnika: głównym **Q** i komplementarnym \bar{Q} .

Przerzutnik ustawia się w stan zero ($Q = 0$; $\bar{Q} = 1$), czyli **zeruje** (ang. *Reset*), po wprowadzeniu wejścia R w stan 1 przy wejściu S utrzymywanym w stanie 0. Przy $R = 1$, na wyjściu bramki U_1 , realizującej funkcję NOR $Q = \overline{R \vee p}$, ustawia się stan 0 ($Q = 0$). Stan ten przekazywany jest na połączone z wyjściem Q wejście t bramki U_2 . Ponieważ także $S = 0$, to obydwa wejścia bramki U_2 znajdują się w stanie 0, co zgodnie z realizowaną przez bramkę funkcją NOR $\bar{Q} = \overline{S \vee t}$ ustawia na wyjściu tej bramki stan 1 ($\bar{Q} = 1$). Stan ten przekazywany jest na połączone z wyjściem \bar{Q} wejście p bramki U_1 , podtrzymując ustawienie wyjścia tej bramki w stanie $Q = 0$. Ponieważ do wymuszenia stanu 0 na wyjściu bramki NOR **wystarczy** stan 1 na jednym tylko wejściu takiej bramki, a wejście p bramki U_1 zostało właśnie wprowadzone w stan 1, na wejściu R można teraz zmienić stan z 1 na 0, a przerzutnik **utrzymuje się** w stanie zero ($Q = 0$, $\bar{Q} = 1$). Do ustawienia przerzutnika w stan zero wystarczy zatem wprowadzić wejście R w stan 1 na krótki czas τ , niezbędny do ustalenia się opisanych wyżej stanów układu.

Po przywróceniu stanu $R = 0$ przy $S = 0$ przerzutnik wprowadzony zostaje w stan pamiętania, przechowując ustawiony stan $Q = 0$; $\bar{Q} = 1$. W stanie tym znajdować się może dowolnie długo, dopóki nie nastąpi przestawienie przerzutnika w inny stan.

Przerzutnik ustawia się w stan jeden ($Q = 1$; $\bar{Q} = 0$), w skrócie ustawia (ang. *Set*), po wprowadzeniu wejścia S w stan 1 przy wejściu R utrzymywanym w stanie 0. Przy $S = 1$, na wyjściu bramki U_2 , realizującej funkcję NOR $\bar{Q} = \overline{S \vee t}$, ustawia się stan 0 ($\bar{Q} = 0$). Stan ten przekazywany jest na połączone z wyjściem \bar{Q} wejście p bramki U_1 . Ponieważ także $R = 0$, to obydwa wejścia bramki U_1 znajdują się w stanie 0, co zgodnie z realizowaną przez bramkę funkcją NOR $Q = \overline{R \vee p}$

wymusza na wyjściu tej bramki stan 1 ($Q = 1$). Stan ten przekazywany jest na połączone z wyjściem Q wejście t bramki U_2 , podtrzymując ustawienie wyjścia tej bramki w stanie $\bar{Q} = 0$. Po przywróceniu stanu $S = 0$ przerzutnik utrzymuje się w stanie $Q = 1$; $\bar{Q} = 0$ dopóki nie nastąpi przestawienie w inny stan.

Przerzutnik można zatem ustawić w stan 0 lub stan 1 za pomocą krótkich dodatnich impulsów, doprowadzanych do wejścia R lub S i pozostawić w stanie pamiętania tego ustawienia. W ten sposób w przerzutniku zapamiętuje się elementarną porcję (1 bit) informacji. Wejście ustawiające 0 (R) nazywa się **wejściem zerującym**. Wejście ustawiające 1 (S) nazywa się **wejściem ustawiającym**. Wyjście Q jest **wyjściem** przerzutnika a wyjście \bar{Q} - **wyjściem zanegowanym**.

Jednoczesne doprowadzenie jedynki do obu wejść R i S powoduje wymuszenie na wyjściach obu bramek stanu zera ($Q = 0$ i $\bar{Q} = 0$). Narusza to założenie komplementarności wyjść przerzutnika i stan taki uznaje się za **niedozwolony (zabroniony)**.

Tabele stanów (funkcji) przerzutnika z Rys. 1.1.1 zawiera Tabela 1.1.1. Tabela podaje stany wejść R i S w chwili t oraz stany wyjść Q i \bar{Q} w chwili $t+\tau$ po ustaniu procesu przejściowego. Na Rys. 1.1.2 przedstawiono tablicę przejść układu (tablicę Karnaugh), przyporządkowującą każdej kombinacji stanów R, S i Q nowy stan wyjścia Q' .

Tabela 1.1.1. Tabela stanów przerzutnika RS z Rys. 1.1.1.

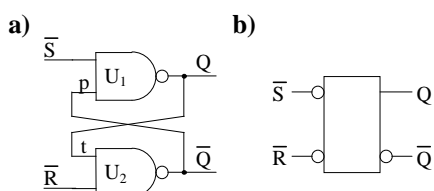
t		t+τ		
R	S	Q	\bar{Q}	
0	0	Q_t	\bar{Q}_t	stan pamiętania
0	1	1	0	wpis jedynki
1	0	0	1	wpis zera
1	1	0	0	stan zabroniony

RS					
Q		00	01	10	11*
0		0	1	0	0
1		1	1	0	0
		Q			

* stan zabroniony

Rys. 1.1.2. Tablica przejść (tablica Karnaugh) przerzutnika RS z Rys. 1.1.1

Na podstawie równań, opisujących działanie bramek NOR U_1 i U_2 w postaci: $Q = R \vee \bar{Q}$, $\bar{Q} = \bar{S} \vee Q$ otrzymuje się równanie funkcyjne, opisujące działanie przerzutnika: $Q = R \vee \bar{S} \vee \bar{Q}$ skąd zgodnie z prawem De Morgana: $Q = \bar{R} \wedge (S \vee Q)$.



Rys. 1.1.3. Przerzutnik RS z dwóch bramek NAND
a) schemat; b) symbol.

Na Rys. 1.1.3 pokazano schemat przerzutnika RS zbudowanego z dwóch bramek NAND. Przerzutnik ustawia się w stan zero ($Q = 0$; $\bar{Q} = 1$) po wprowadzeniu wejścia \bar{R} w stan 0 przy wejściu \bar{S} utrzymywanym w stanie 1. Przy $\bar{R} = 0$, na wyjściu bramki U_2 realizującej funkcję $\bar{Q} = \bar{R} \wedge t$, ustawia się stan 1 ($\bar{Q} = 1$). Stan ten przekazywany jest na wejście p bramki U_1 . Ponieważ także $\bar{S} = 1$, na wyjściu bramki U_1 , realizującej funkcję $Q = \bar{S} \wedge p$, ustawia się stan 0 ($Q = 0$). Stan ten przekazywa-

ny na wejście t bramki U_2 podtrzymuje wyjście tej bramki w stanie $\bar{Q} = 1$.

Przy $\bar{R} = 1$ i $\bar{S} = 1$ przerzutnik jest w stanie pamiętania, utrzymując ustawiony wcześniej stan.

Przerzutnik ustawia się w stan jeden ($Q = 1$; $\bar{Q} = 0$) po wprowadzeniu wejścia \bar{S} w stan 0 przy wejściu \bar{R} utrzymywanym w stanie 1. Przy $\bar{S} = 0$ na wyjściu bramki U_1 ustawia się $Q = 1$. Stan ten przekazywany jest na wejście t bramki U_2 co przy $\bar{R} = 1$ wymusza $\bar{Q} = 0$. Przekazanie stanu 0 na wejście p bramki U_1 podtrzymuje $Q = 1$.

Zabronione jest wprowadzanie $\bar{R} = \bar{S} = 0$, prowadzące do jednoczesnego występowania $Q = 1$ i $\bar{Q} = 1$.

Inaczej niż przerzutnik RS z bramkami NOR, który zmienia stan po doprowadzeniu do jednego z wejść jedynki, przerzutnik RS z bramkami NAND zmienia stan przy sygnale wejściowym równym zeru. Dla podkreślenia tej różnicy przerzutnik z bramkami NAND nazywany jest czasem przerzutnikiem $\bar{R}\bar{S}$.

Tabele stanów przerzutnika z Rys. 1.1.3 zawiera Tabela 1.1.2. Tablicę przejść układu przedstawiono na Rys. 1.1.4.

Tabela 1.1.2. Tabela stanów przerzutnika RS z Rys. 1.1.3.

t		t + τ		
\bar{R}	\bar{S}	Q	\bar{Q}	
1	1	Q_t	\bar{Q}_t	stan pamiętania
1	0	1	0	wpis jedynki
0	1	0	1	wpis zera
0	0	0	0	stan zabroniony

$\bar{R}\bar{S}$				
Q	00*	01	10	11
0	1	0	1	0
1	1	0	1	1

Q

* stan zabroniony

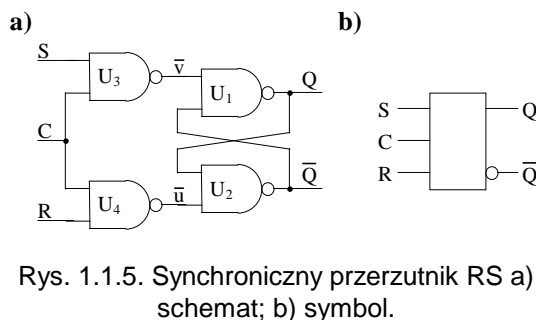
Rys. 1.1.4. Tablica przejść (tablica Karnaugh-ta) przerzutnika RS z Rys. 1.1.3

Równanie funkcyjne, opisujące działanie przerzutnika ma postać: $Q = \bar{S} \wedge \bar{Q} = \bar{S} \wedge \bar{R} \wedge Q$ skąd zgodnie z prawem De Morgana: $Q = S \vee (\bar{R} \wedge Q)$

Czas ustalania się stanu przerzutnika RS (i $\bar{R}\bar{S}$) τ jest równy czasowi propagacji bramki NOR lub NAND i ma wartość od kilku do kilkudziesięciu ns.

1.1.2. Synchroniczny przerzutnik RS

Przerzutnik synchroniczny zmienia stan w sposób określony przez sygnały wejściowe tylko w chwilach, wyznaczonych przez dodatkowy sygnał sterujący, zwany sygnałem taktującym, synchronizującym lub zegarowym. Umożliwia to wstępne przygotowanie sygnałów wejściowych i inicjację zmiany stanu przerzutnika po ustaleniu się tych sygnałów.

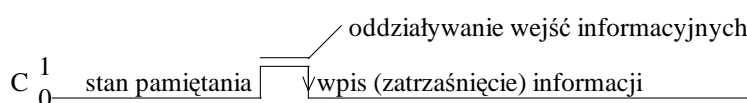


Rys. 1.1.5. Synchroniczny przerzutnik RS a) schemat; b) symbol.

Schemat synchronicznego przerzutnika RS przedstawiono na Rys. 1.1.5. Bramki NAND U_1 i U_2 tworzą przerzutnik $\bar{R}\bar{S}$, do którego wejść \bar{u} i \bar{v} doprowadzone są sygnały wejściowe R i S poprzez dwie dodatkowe

bramki NAND U_3, U_4 . Do drugich wejść tych bramek dołączony jest sygnał synchronizujący C . Bramki U_3 i U_4 przenoszą sygnały wejściowe R i S tylko przy $C = 1$. Wówczas $\bar{u} = R \wedge C = \bar{R}$, $\bar{v} = S \wedge C = \bar{S}$ i układ zachowuje się jak przerzutnik RS z Rys. 1.1.1. Przy $C = 0$ bramki U_3 i U_4 zostają zablokowane a ich wyjścia przyjmują stan 1 ($\bar{u} = \bar{v} = 1$) niezależnie od wartości sygnałów S i R i przerzutnik przechodzi w stan pamiętania.

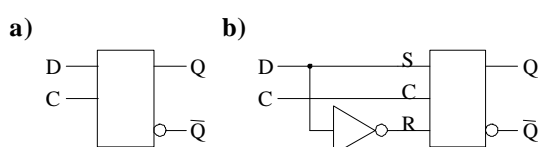
Przerzutnik przyjmuje stan zależny od wartości sygnałów S i R przy tylnym opadającym zboczach sygnału synchronizującego¹. Przerzutnik o takich właściwościach nazywany jest przerzutnikiem **zatrzaskowym** (ang. *latch*), gdyż „zatrzaskuje” informacje przy zamykaniu bramek, doprowadzających sygnały wejściowe (Rys. 1.1.6). Dla prawidłowego działania przerzutnika wymagane jest ustalenie sygnałów S i R jakiś czas **przed** i utrzymanie ich bez zmian jeszcze przez pewien czas **po** opadającym zboczach sygnału C .



Rys. 1.1.6. Działanie wejścia zegarowego C w przerzutniku zatrzaskowym.

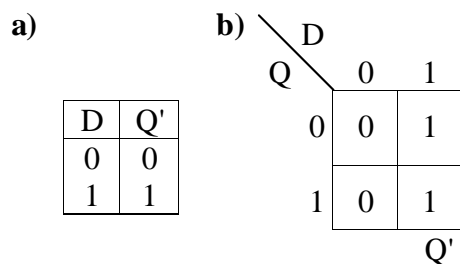
Wejścia S i R nazywane są ogólnie **wejściami informacyjnymi**; wejście C nazywane jest **zegarowym**.

1.1.3. Przerzutniki D



Rys. 1.1.7. Przerzutnik D a) symbol; b) przerzutnik D utworzony przez modyfikację synchronicznego przerzutnika RS.

Przerzutnik D (Rys. 1.1.7) jest odmianą synchronicznego przerzutnika RS, w którym używane jest tylko jedno wejście informacyjne D , połączone bezpośrednio z wejściem S ($S = D$) i z wejściem R poprzez negację ($R = \bar{D}$). Wprowadzona w ten sposób stała zależność $R = \bar{S}$ eliminuje możliwość wystąpienia stanu zabronionego $S = R = 1$ i upraszcza sterowanie przerzutnika.



Rys. 1.1.8. Tabela stanów (a) i tablica przejść (b) przerzutnika D.

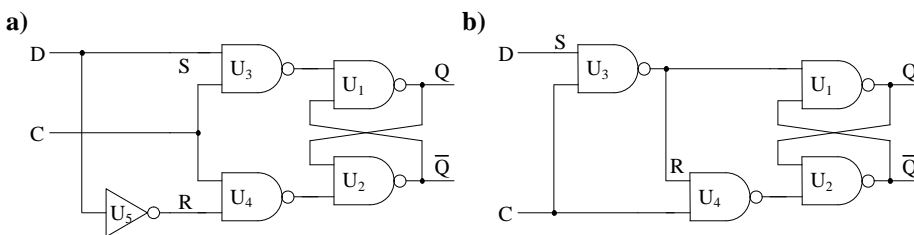
Zmiana stanu na wejściu D zmienia jednocześnie stan obu wejść S i R . Przy $D = 1$ uzyskuje się $S = 1$ i $R = 0$; przy $D = 0$ uzyskuje się $S = 0$ i $R = 1$. Impuls synchronizujący ustawia wyjścia przerzutnika zgodnie z zasadami zmiany stanu przerzutnika RS (Tabela 1.1.1). Przy $D = 1$ ustawiane jest $Q = 1$, przy $D = 0$ ustawiane jest $Q = 0$. Po zakończeniu aktywnego zbocza impulsu synchronizującego przerzutnik przechodzi w stan pamiętania i przestaje reagować na zmiany D .

¹ W przypadku zabronionego stanu $S = R = 1$ przerzutnik przyjmuje przypadkowo jeden z dwóch możliwych stanów $Q = 0$ lub $Q = 1$.

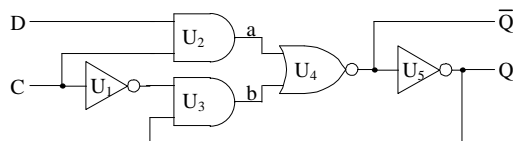
Działanie przerzutnika D opisuje równanie $Q' = D$, gdzie Q' oznacza stan wyjścia Q po zakończeniu aktywnego zbocza impulsu synchronizującego a D stan wejścia D w chwili działania tego zbocza. Tabelę stanów i tablicę przejść przerzutnika D przedstawiono na Rys. 1.1.8.

Przy użyciu zatraskowego przerzutnika RS z Rys. 1.1.5 otrzymuje się **zatraskowy przerzutnik D** (ang. *latch*). Przerzutnik taki przy $C = 1$ przenosi na wyjście Q stan wejścia D ($Q = D$). Przy zmianie C z 1 na 0 następuje zatrzaśnięcie występującego przy tym stanu $Q = D$ i jego utrzymanie (pamiętanie) przez czas w którym $C = 0$ (Rys. 1.1.6). Zespoły (czwórki i osemki) zatraskowych przerzutników D wykonywane są jako układy scalone, stosowane jako małe pamięci pośredniczące (buforowe).

Schemat zatraskowego przerzutnika D z przerzutnikiem RS z Rys. 1.1.5 przedstawiono na Rys. 1.1.9 a. Budowę przerzutnika można uprościć, pomijając negację U_5 i wykorzystując do uzyskania $R = \bar{S} = \bar{D}$ bramkę U_3 (Rys. 1.1.9 b).

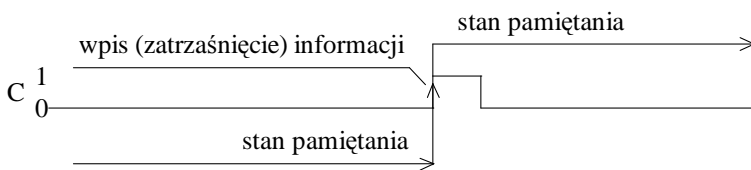


Rys. 1.1.9. Zatraskowy przerzutnik D (*latch*) z przerzutnikiem zatraskowym RS - dwa rozwiązania układowe.



Rys. 1.1.10. Zatraskowy przerzutnik D (*latch*) z układu scalonego 74LS75.

Budowane są także **przerzutniki D wyzwalane zboczem** (ang. *edge triggered*), w których Q przyjmuje stan D przy jednym (najczęściej narastającym) zboczach impulsu synchronizującego C a poza tym zboczem, zarówno przy $C = 0$ jak i $C = 1$ przerzutnik jest w stanie pamiętania, niewrażliwy na zmiany D (Rys. 1.1.11). W niektórych zastosowaniach przerzutniki takie są korzystniejsze od przerzutników zatraskowych.



Rys. 1.1.11. Działanie wejścia zegarowego C w przerzutniku wyzwalanym zboczem.

zującą bramki U_3 i U_4 przez przerzutniki RS.

Schemat przerzutnika D wyzwalanego zboczem pokazano na Rys. 1.1.12. Układ składa się z trzech przerzutników $\bar{R} \bar{S}$. Do wejścia zerującego przerzutnika III i wejścia ustawiającego przerzutnika II doprowadzony jest sygnałem synchronizujący C . Wejście informacyjne D dołączone jest do wejścia zerującego przerzutnika II. Wejście ustawiające przerzutnika III połączone jest z wyjściem bramki U_6 (wyjściem zanegowanym przerzutnika II). Dodatkowe wejście

b). Zatraskowy przerzutnik D można także zbudować bez użycia przerzutnika RS Rys. 1.1.10). Przy $C = 1$ bramka U_2 jest otwarta:

$$a = D \wedge C = D$$

a bramka U_3 zamknięta:

$$b = Q \wedge \bar{C} = 0.$$

Układ U_4 i negacja U_5 wytwarzają sygnał wyjściowy:

$$Q = a \vee b = D.$$

Przy $C = 0$ bramka U_2 jest zamknięta ($a = 0$) a bramka U_3 otwarta ($b = Q$) i układ U_4 z negacją U_5 utrzymują sygnał wyjściowy $Q = a \vee b = Q$.

wy na zmiany D (Rys. 1.1.11). W niektórych zastosowaniach przerzutniki takie są korzystniejsze od przerzutników zatraskowych.

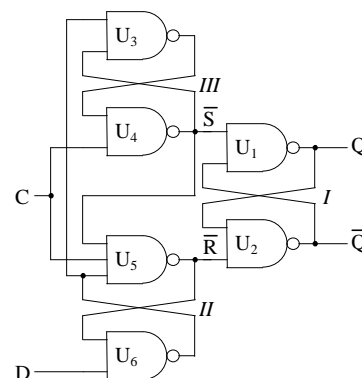
Przerzutnik D wyzwalany zboczem uzyskuje się przez rozbudowę zatraskowego przerzutnika z Rys. 1.1.10 b, w którym zastępuje się sterowane sygnałem synchroni-

Przerzutniki

ustawiające przerzutnika II połączone jest z wyjściem bramki U_4 (wyjściem zanegowanym przerzutnika III). Wyjście bramki U_4 (wyjście zanegowane przerzutnika III) i wyjście bramki U_6 (wyjście przerzutnika II) połączone są odpowiednio z wejściem ustawiającym \bar{S} i wejściem zerującym \bar{R} głównego przerzutnika wyjściowego I.

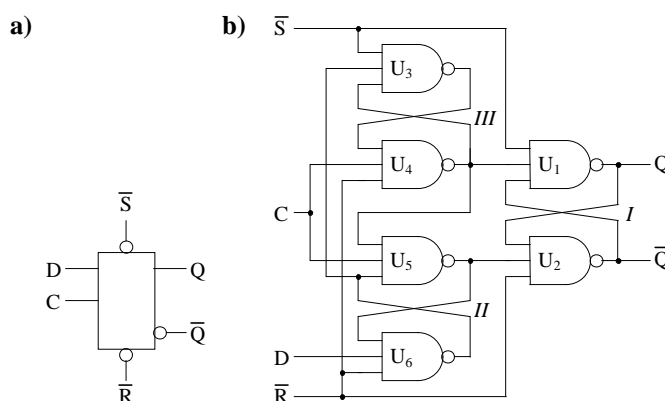
Przy $C = 0$ wyjścia bramek U_4 i U_5 znajdują się w stanie 1 ($\bar{S} = \bar{R} = 1$) i przerzutnik I jest w stanie pamiętania. Przy $D = 0$ na wyjściu U_6 i połączonym z nim wejściu U_3 występuje stan 1. Drugie wejście U_3 połączone z \bar{S} jest także w stanie 1 i na wyjściu U_3 jest 0. Poprzez połączenie z wejściem U_4 podtrzymuje to stan $\bar{S} = 1$ niezależnie od stanu C . Przy zmianie C z 0 na 1 stan przerzutnika III ($\bar{S} = 1$) nie zmienia się. Na wszystkich wejściach U_5 ustawia się natomiast stan 1, co wymusza $\bar{R} = 0$ i wpisuje zero w przerzutnik wyjściowy I ($Q = 0$). Jednocześnie $\bar{R} = 0$ ustawia 1 na wyjściu U_6 i uniezależnia stan przerzutnika II od D . Przerzutniki II i III utrzymują stan $\bar{S} = 1$ i $\bar{R} = 0$ przy dalszym trwaniu $C = 1$ bez względu na zmiany D . Po ponownym ustawieniu $C = 0$ ustawia się $\bar{S} = \bar{R} = 1$ i przerzutnik I przechodzi w stan pamiętania.

Przy $C = 0$ i $D = 1$ na wyjściu U_6 i połączonych z nim wejściach U_5 i U_3 występuje stan 0. Podtrzymuje to stan $\bar{R} = 1$ niezależnie od stanu C i ustawia jedynekę na wyjściu U_3 i połączonym z nim wejściu U_4 . Przy zmianie C z 0 na 1 stan przerzutnika II ($\bar{R} = 1$) nie zmienia się. Na obu wejściach U_4 ustawia się natomiast stan 1, co wymusza $\bar{S} = 0$ i wpisuje jedynekę w przerzutnik wyjściowy I ($Q = 1$). Jednocześnie $\bar{S} = 0$ ustawia 1 na wyjściu U_5 i uniezależnia stan przerzutnika III od D . Przerzutniki II i III utrzymują stan $\bar{S} = 0$ i $\bar{R} = 1$ przy dalszym trwaniu $C = 1$ bez względu na zmiany D . Po ponownym ustawieniu $C = 0$ ustawia się $\bar{S} = \bar{R} = 1$ i przerzutnik przechodzi w stan pamiętania.



Rys. 1.1.12. Schemat przerzutnika D wyzwalanego zboczem.

Przerzutniki D wyzwalane zboczem, wytwarzane jako układy scalone, mają zwykle dodane asynchroniczne wejścia zerujące i ustawiające (Rys. 1.1.13). Wejścia takie dołączone są do dodatkowych (trzecich) wejść bramek głównego przerzutnika wyjściowego I i działają jak wejścia \bar{R} i \bar{S} asynchronicznego przerzutnika $\bar{R}\bar{S}$. Ponadto wejścia te ustawiają odpowiednio przerzutniki II i III przy $C = 1$ (wymuszają na środkowych wejściach bramek U_1 i U_2 : przy $\bar{R} = 0$ stan 0 i 1; przy $\bar{S} = 0$ stan 1 i 0). Działanie wejść \bar{R} i \bar{S} jest nadrzędne względem wejść D i C . Działanie przerzutnika D uzyskuje się przy nieaktywnych dodatkowych wejściach asynchronicznych: $\bar{R} = \bar{S} = 1$.

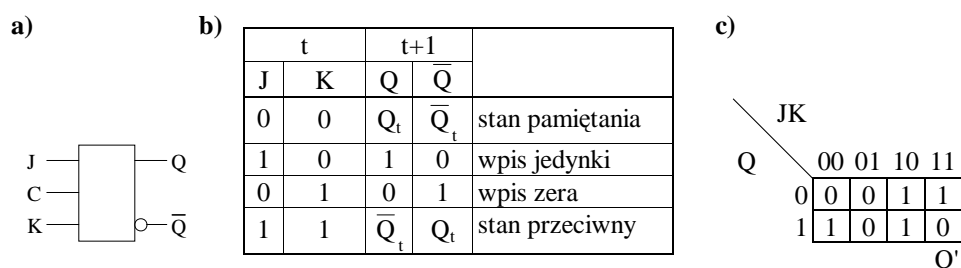


Rys. 1.1.13. Przerzutnik D wyzwalany zboczem z dodatkowymi wejściami asynchronicznymi: zerującym \bar{R} i ustawiającym \bar{S} a) symbol; b) schemat

1.1.4. Przerzutniki JK

Przerzutnik JK jest przerzutnikiem synchronicznym o dwóch wejściach informacyjnych, w którym jednoczesne ustawienie aktywnego stanu obu wejść nie jest zabronione, jak w przerzutniku RS, lecz wykorzystywane do zmiany stanu przerzutnika na przeciwny. Wejścia informacyjne ozna-

Przerzutniki



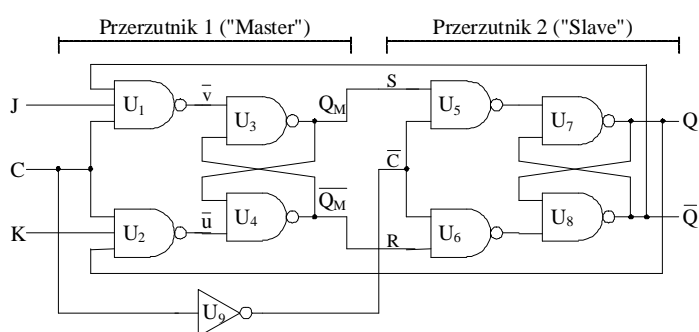
Rys. 1.1.14. Przerzutnik JK a) symbol; b) tablica funkcji; c) tablica przejść.

czony są symbolami J i K. Przy $J = 1$ i $K = 0$ impuls zegarowy ustawia przerzutnik w stan $Q = 1$ (stąd wejście J można kojarzyć z „jedyńkowym”). Przy $J = 0$ i $K = 1$ impuls zegarowy ustawia przerzutnik w stan $Q = 0$ (a wejście K można kojarzyć z „kasującym”). Przy $J = 1$ i $K = 1$ impuls zegarowy ustawia $Q' = \bar{Q}$. W stanie $J = 0$ i $K = 0$ wejścia informacyjne są nieaktywne. Symbol, tablicę funkcji i tablicę przejść przerzutnika JK przedstawiono na Rys. 1.1.14.

Przerzutnik JK realizuje funkcję: $Q' = J\bar{Q} \vee KQ$.

Przerzutniki JK budowane są jako tzw. dwutaktowe (lub dwuzboczowe) przerzutniki JK MS (ang. *Master - Slave*) wyzwalane impulsem lub jako przerzutniki JK wyzwalane zboczem.

Schemat dwutaktowego przerzutnika JK MS wyzwalanego impulsem przedstawiono na Rys.



Rys. 1.1.15. Dwutaktowy przerzutnik JK MS (*Master - Slave*) wyzwalany impulsem.

1.1.15. Układ składa się z dwóch połączonych kaskadowo synchronicznych przerzutników RS, zwanych „Master” (Pan) i „Slave” (Niewolnik). Przerzutniki są sterowane innymi fazami sygnału C tak, aby przy ustawianiu jednego przerzutnika drugi był w stanie pamiętania i nie był podatny za zmianę sygnałów ustawiających. W tym celu wejście synchronizujące przerzutnika 1 sterowane jest sygnałem C a wejście synchronizujące przerzutnika 2 sterowane jest odwróconym przez negację U_9 sygnałem \bar{C} .

Przy $C = 0$ bramki U_1 i U_2 , doprowadzające sygnały wejściowe do przerzutnika 1 są zablokowane i sygnały \bar{v} , \bar{u} , ustawiające przerzutnik U_3, U_4 są nieaktywne ($\bar{v} = \bar{u} = 1$). Przerzutnik 1 jest w stanie pamiętania, utrzymując określone wartości sygnałów Q_M , \bar{Q}_M . Jednocześnie odblokowane są bramki U_5, U_6 , doprowadzające sygnały wejściowe do przerzutnika 2 i przerzutnik ten jest ustawiany w stan, powtarzający stan przerzutnika 1²: $Q = Q_M$, $\bar{Q} = \bar{Q}_M$. Przy przejściu do $C = 1$ zablokowane zostają bramki U_5, U_6 i przerzutnik 2 przechodzi w stan pamiętania, utrzymując niezmiennie wartości Q i \bar{Q} . Odblokowane zostają natomiast bramki U_1, U_2 , wytwarzające sygnały:

² Zgodnie z tabelą funkcji przerzutnika RS (Tabela 1.1.1) przy $S = Q_M = 1$ i $R = \bar{Q}_M = 0$ ustawiany jest stan $Q = 1$, $\bar{Q} = 0$; przy $S = Q_M = 0$ i $R = \bar{Q}_M = 1$ ustawiany jest stan $Q = 0$, $\bar{Q} = 1$.

$$\bar{v} = C \wedge J \wedge \bar{Q} = J \wedge \bar{Q}; \quad \bar{u} = C \wedge K \wedge Q = K \wedge Q;$$

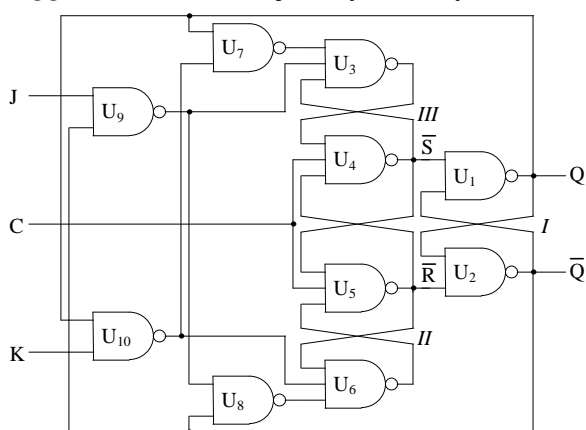
Przy $Q = 0$ sygnał \bar{u} jest nieaktywny ($\bar{u} = 1$). Przy $J = 1$ otrzymuje się natomiast $\bar{v} = 0$, co ustawi $Q_M = 1$, $\bar{Q}_M = 0$, a więc stan przeciwny od istniejącego przy $Q = 0$. Przy $Q = 1$ nieaktywny jest sygnał $\bar{v} = 1$. Przy $K = 1$ otrzymuje się natomiast $\bar{u} = 0$, co ustawi $Q_M = 0$, $\bar{Q}_M = 1$, a więc stan przeciwny od istniejącego przy $Q = 1$. Przy innych wartościach J i K oba sygnały \bar{u} , \bar{v} są nieaktywne i stan przerzutnika 1 nie zmienia się. Przy przejściu do $C = 0$ przerzutnik 1 przechodzi w stan pamiętania a jego sygnały wyjściowe Q_M , \bar{Q}_M przepisywane są do przerzutnika 2.

Takie działanie umożliwia zmianę stanu przerzutnika 1 na przeciwny do odpowiadającego aktualnemu stanowi Q bez wywołania natychmiastowej zmiany Q . Zmiana Q następuje po kolejnej zmianie sygnału C , gdy przerzutnik 1 przechodzi w stan pamiętania i przestaje reagować na zmiany Q . Gdyby zmiana Q następowała bezpośrednio po zmianie stanu przerzutnika 1, w czasie gdy przerzutnik ten jest wrażliwy na stan Q , w układzie występowałyby ciągłe zmiany stanu Q na przeciwny dopóki C byłoby równe 1.

Przerzutnik określany jest jako „wyzwalany impulsem”, gdyż przy odpowiednich wartościach sygnałów wejściowych J i K zmienia stan wewnętrznego przerzutnika na przeciwny przy przednim dodatnim zboczach impulsu synchronizującego a ustala stan wyjść Q , \bar{Q} przy tylnym ujemnym zboczach tego impulsu.

Dla prawidłowego działania przerzutnika konieczne jest, aby przy dodatnim zboczach impulsu synchronizującego (przy przejściu C z 0 na 1) **najpierw** zostały zablokowane bramki U_5, U_6 przerzutnika 2 a **później** odblokowane bramki U_1, U_2 przerzutnika 1. Przy ujemnym zboczach impulsu synchronizującego (przy przejściu C z 1 na 0) **najpierw** muszą zostać zablokowane bramki U_1, U_2 przerzutnika 1 a **później** odblokowane bramki U_5, U_6 przerzutnika 2. Spełnienie tych warunków jest trudne, zwłaszcza ze względu na dodatkowe opóźnienie, wprowadzane przez inwerter U_9 i wymaga specyficznego zaprojektowania bramek U_1, U_2, U_5, U_6 i U_9 . W praktycznie realizowanych przerzutnikach wprowadza się pewne modyfikacje układu, umożliwiające stosowanie typowych bramek.

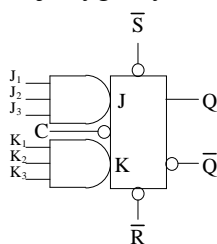
Na Rys. 1.1.16 przedstawiono schemat przerzutnika JK **wyzwalanego zboczem** (ang. *edge triggered*). Podobnie jak wyzwalany zboczem przerzutnik D (Rys. 1.1.12), układ składa się z trzech



Rys. 1.1.16. Przerzutnik JK wyzwalany zboczem.

przerzutników $\bar{R} \bar{S}$. Przerzutnik I, wytwarzający sygnały wyjściowe Q, \bar{Q} ustawiany jest przez wejścia \bar{S}, \bar{R} a stan tych wejść zależy z kolei od stanu przerzutników II i III. Przy $C = 0$ bramki U_4 i U_5 wymuszają stan $\bar{S} = \bar{R} = 1$ i przerzutnik I znajduje się w stanie pamiętania. Przy zmianie C z 0 na 1 przerzutniki II i III przyjmują stan określony przez wartości sygnałów J, K, Q i \bar{Q} co może wymusić 0 na jednym z wejść \bar{S} lub \bar{R} i zmienić stan przerzutnika I. Zwrotne doprowadzenie sygnałów \bar{S}, \bar{R} do wejść bramek U_4, U_5 oraz sygnałów Q, \bar{Q} do wejść bramek U_7, U_8 i poprzez te bramki do wejść bramek U_3 i U_6 powoduje utrzymanie ustawionych

stanów przerzutników II i III i zablokowanie możliwości dalszych zmian. Bramki U_9 i U_{10} wytwarzają sygnały $J \wedge \bar{Q}$ i $K \wedge Q$, wymuszające zmianę stanu przerzutnika na przeciwny przy $J = K = 1$.



Rys. 1.1.17. Przerzutnik JK MS z układu scalonego 7472.

Przerzutniki JK wyzwalane impulsem i wyzwalane zboczem, wytwarzane jako układy scalone, mają zwykle dodane asynchroniczne wejścia zerujące i ustawiające, dołączone do dodatkowych (trzecich) wejść bramek głównego przerzutnika wyjściowego. Wejścia te działają jak wejścia \bar{R} i \bar{S} asynchronicznego przerzutnika $\bar{R} \bar{S}$, nadrzędnie względem wejść J, K i C. Działanie przerzutnika JK uzyskuje się przy nieaktywnych dodatkowych wejściach asynchronicznych: $\bar{R} = \bar{S} = 1$. Przerzutniki są także często wyposażane w większą liczbę wejść J_m i K_m , realizujących funkcję iloczynu logicznego: $J = J_1 \wedge J_2 \wedge \dots \wedge J_n$; $K = K_1 \wedge K_2 \wedge \dots \wedge K_n$. Na Rys. 1.1.17 przedstawiono symbol przerzutnika JK MS z układu scalonego 7472 o trzech wejściach J (J_1, J_2, J_3) i trzech wejściach K (K_1, K_2, K_3).

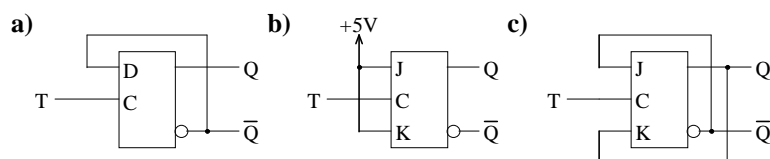
1.1.5. Przerzutniki T

Są to przerzutniki o jednym wejściu (oznaczonym symbolem T), zmieniające stan Q na przeciwny po każdym impulsie, doprowadzonym do tego wejścia. Przerzutnik T realizuje funkcję $Q' = \bar{Q}$.

Przerzutnik T można łatwo utworzyć z przerzutnika D lub JK.

W przerzutniku D (Rys. 1.1.18 a) Łączy się wejście D z wyjściem \bar{Q} a jako wejście T wykorzystuje się wejście synchronizujące C. Po każdym aktywnym zboczach impulsu, doprowadzonego do wejścia przerzutnik przyjmuje stan $Q = D = \bar{Q}$.

W przerzutniku JK utrzymuje się wejścia J i K w stanie 1 a impulsy wejściowe doprowadza się do wejścia $C = T$ (Rys. 1.1.18 b). Zgodnie z zasadą działania przerzutnika JK po każdym impulsie wejściowym przerzutnik zmienia stan na przeciwny ($Q = \bar{Q}$). Można również (Rys. 1.1.18 c) połączyć wejście J z wyjściem \bar{Q} a wejście K z wyjściem Q. Przy $Q = 0$ otrzymuje się $J = \bar{Q} = 1$ i $K = Q = 0$, co zapewnia ustawienie po impulsie zegarowym $Q = 1$. Przy $Q = 1$ otrzymuje się $J = 0$ i $K = 1$, co zapewnia ustawienie po impulsie zegarowym $Q = 0$.



Rys. 1.1.18. Przerzutnik T a) otrzymany z przerzutnika D; b), c) otrzymany z przerzutnika JK.

Przerzutniki T używane są do dzielenia częstotliwości impulsów przez 2. Ze względu na łatwość otrzymania przerzutnika T z przerzutnika D lub JK, przerzutniki T nie są wytwarzane jako odrębne układy scalone.

1.1.6. Popularne układy scalone, zawierające przerzutniki

We wszystkich rodzinach układów scalonych (TTL, TTL LS itd.) wytwarzanych jest wiele układów, zawierających przerzutniki. Niektóre z nich przedstawia Tabela 1.1.3.

Tabela 1.1.3. Popularne układy scalone, zawierające przerzutniki.

74LS279	Cztery asynchroniczne przerzutniki \overline{RS} z wyprowadzonymi tylko wyjściami Q; jeden przerzutnik wyposażony w dwa wejścia \overline{S} ($\overline{S}_1, \overline{S}_2$).
74LS74A	Dwa przerzutniki D wyzwalane dodatnim zboczem z asynchronicznym wejściem zerującym i ustawiającym.
74LS75	Cztery zatrzaskowe przerzutniki D z jednym wspólnym wejściem synchronizującym dla przerzutników 1,2 i 3,4 (dwa dwubitowe bufory zatrzaskowe).
74LS174	Sześć przerzutników D wyzwalanych zboczem z wyprowadzonymi tylko wyjściami Q, ze wspólnym wejściem synchronizującym i wspólnym asynchronicznym wejściem zerującym.
74LS175	Cztery przerzutniki D wyzwalane zboczem z wyprowadzonymi wyjściami Q i \overline{Q} , ze wspólnym wejściem synchronizującym i wspólnym asynchronicznym wejściem zerującym.
74LS273	Osiem przerzutników D wyzwalanych zboczem z wyprowadzonym tylko jednym wyjściem Q, ze wspólnym wejściem synchronizującym i wspólnym asynchronicznym wejściem zerującym (ośmiobitowy rejestr buforowy).
74LS373	Osiem zatrzaskowych przerzutników D z wyprowadzonym tylko jednym trójstanowym wyjściem Q, ze wspólnym wejściem synchronizującym i wspólnym wejściem zezwalającym, ustawiającym wyjścia w stan aktywny lub stan wysokiej impedancji (ośmiobitowy rejestr buforowy).
74LS374	Osiem przerzutników D wyzwalanych zboczem z wyprowadzonym tylko jednym trójstanowym wyjściem Q, ze wspólnym wejściem synchronizującym i wspólnym wejściem zezwalającym, ustawiającym wyjścia w stan aktywny lub stan wysokiej impedancji (ośmiobitowy rejestr buforowy).
7472	Przerzutnik JK MS o trzech wejściach J (J_1, J_2, J_3) i trzech wejściach K (K_1, K_2, K_3) z asynchronicznym wejściem zerującym i ustawiającym.
74LS109A	Dwa przerzutniki JK wyzwalane dodatnim zboczem z asynchronicznym wejściem zerującym i ustawiającym.
74LS112A	Dwa przerzutniki JK wyzwalane ujemnym zboczem z asynchronicznym wejściem zerującym i ustawiającym.
74LS114A	Dwa przerzutniki JK wyzwalane ujemnym zboczem ze wspólnym wejściem zegarowym i wspólnym asynchronicznym wejściem zerującym i ustawiającym.

¹ opracował dr inż. Grzegorz Stępień